

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213545

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号

特願平7-18121

(22) 出願日

平成7年(1995)2月6日

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 清水 孝司

福岡県北九州市八幡西区小嶺2丁目10番1号 株式会社三井ハイテック内

(72) 発明者 坂田 精一郎

福岡県北九州市八幡西区小嶺2丁目10番1号 株式会社三井ハイテック内

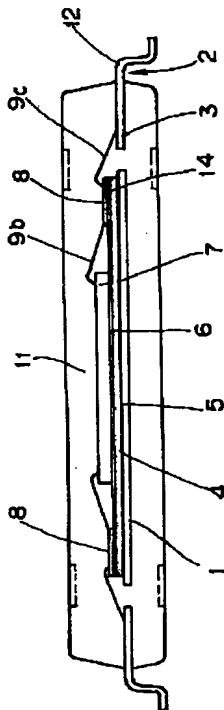
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 多ピン化が可能で信頼性の高い半導体装置構造を提供することを目的とする。

【構成】 本発明の半導体装置の特徴は、半導体チップ搭載部1と、前記半導体チップ搭載部1に搭載された第1の半導体チップ4と、前記第1の半導体チップ4の表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップ7と、前記領域に絶縁膜14を介して形成された回路パターン8と、前記第1の半導体チップに接続せしめられる複数のインナーリード3と、各インナーリードに連設されたアウターリードとを具備したリードフレーム2とを具備し、前記第2の半導体チップ7は前記回路パターン8を介して前記リードフレーム2に接続されていることにある。



【特許請求の範囲】

【請求項1】 半導体チップ搭載部と、
前記半導体チップ搭載部に搭載された第1の半導体チップと、
前記第1の半導体チップの表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップと、
前記領域に絶縁膜を介して形成された回路パターンと、
前記第1の半導体チップに接続せしめられた複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、
を具備し、
前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることを特徴とする半導体装置。

【請求項2】 前記半導体チップ搭載部は、放熱板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、

前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、
前記インナーリードの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続され、非素子形成面側の周縁部に回路パターンが形成された第1の半導体チップと、
前記第1の半導体チップの前記回路パターンを露呈せしめるように、前記第1の半導体チップの前記非素子形成面側表面に積層された第2の半導体チップとを具備し、
前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることを特徴とする半導体装置。

【請求項6】 前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、

前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されていることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に、半導体チップの上に他の半導体チップを積層してなる積層型の半導体装置構造に関する。

【0002】

【従来の技術】通常、半導体装置は、リードフレームのダイパッド（半導体チップ搭載部）上に、半導体チップを搭載し、この半導体チップのボンディングパッドとリードフレームのインナーリードとをボンディングワイヤ等によって結線し、更にこれらを樹脂やセラミック等の封止材料で封止し、タイバーやサイドバーを切断し、アウターリードを所望の形状に折り曲げて完成せしめられる。

【0003】ところで近年、半導体装置の高密度化、薄型化への要求は高まる一方であり、この要求に備えて、リードフレームの表裏両面に半導体チップを搭載したものが提案されている（例えば、特開平5-121462号）。このように、両面に半導体チップを搭載するものは、入出力ピン数を増加することができる反面、接続するリードフレームのインナーリードは、幅、ピッチともに微細になり変形し易く、短絡を引き起こすおそれがある。この半導体装置では通常ダイパッドの表面および裏面に同じ大きさの半導体チップを搭載している。

【0004】また、ボンディングワイヤはパッドの両面から使用されるため短くし難く、インピーダンスの増加、信号伝送の高速化が規制されるなどの課題がある。

【0005】またパッド両面に半導体チップを搭載した半導体装置は、ボンディングワイヤの切断防止、チップの破損防止などから、樹脂封止は片面づつ行わなければならない、工程数が増大するなど、作業上の問題がある。

【0006】

【発明が解決しようとする課題】ところで、半導体装置の多機能化、多用途化についての要請が高まるなかで、この要請に対応するため、集積度の異なる半導体チップや機能の異なる半導体チップを積層する必要も生じている。そして、集積度や機能の異なる半導体チップはサイズも異なることが多い。このようにサイズの異なる半導体チップを同一のダイパッドの両面に搭載すると、小さい方の半導体チップはインナーリード先端との距離が遠くなるため、ボンディングワイヤが長くなり、ボンディング作業が難しい上、ボンディングワイヤの短絡を生じるなどの問題を引き起こす。さらにまた、ボンディングワイヤが長くなると、信号転送時間が長くなり、高速処理が困難であるという問題がある。

【0007】さらにまた、上述したように、半導体チップの高集積化が進むにつれて、ピン数も多くなり、インナーリード先端部は、特にリード幅、リード間隔共に微細で変形しやすく、短絡や接続不良を生じ易く、これが信頼性低下の原因となることがあった。

【0008】本発明は前記実情に鑑みてなされたもの

3

で、ボンディングワイヤを短くして搭載することができ、さらにインナーリードの変形を防止し多ピン化が可能で、かつ樹脂封止の容易な半導体装置構造を提供することを目的とする。

【0009】

【課題を解決するための手段】そこで本発明の第1の半導体装置の特徴は、半導体チップ搭載部と、前記半導体チップ搭載部に搭載された第1の半導体チップと、前記第1の半導体チップの表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップと、前記領域に絶縁膜を介して形成された回路パターンと、前記第1の半導体チップに接続せしめられる複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームとを具備し、前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることにある。

【0010】望ましくは、前記半導体チップ搭載部を、放熱板で構成する。

【0011】また望ましくは、前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成される。

【0012】望ましくは、前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続される。

【0013】本発明の第2の半導体装置の特徴は、複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、前記インナーリードの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続され、非素子形成面側の周縁部に回路パターンが形成された第1の半導体チップと、前記第1の半導体チップの前記回路パターンを露呈せしめるように、前記第1の半導体チップの前記非素子形成面側表面に積層された第2の半導体チップとを具備し、前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されている。

【0014】望ましくは、前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されている。

【0015】

【作用】上記構造によれば、リードフレームの片面側に半導体チップを積層し、かつボンディングワイヤを短く

4

することができるため、樹脂封止を一度に行っても、ボンディングワイヤの切断や、チップの破損を招くことがないため、樹脂封止が容易で、実装作業性が高いものとなる。また、回路パターンが第2の半導体チップの周縁まで、近接して設けられているため、ボンディングワイヤが長くなって垂れによる短絡や接続不良が生じるというようなおそれもない。

【0016】また、半導体チップ搭載部を放熱板で構成すれば、放熱性が向上する。また、この放熱板の裏面を封止樹脂から露呈せしめ、放熱性を高めるようにすることも可能となる。

【0017】また望ましくは、前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成されることにより、第2の半導体チップが第1の半導体チップに比べて大幅に小さい場合にも、ボンディングワイヤの長さを最小限に押さえることができる。

【0018】望ましくは、前記第2の半導体チップを、前記回路パターンの先端上に、フェイスダウンでダイレクトボンディングにより、直接接続すれば、第2の半導体チップと回路パターンとの間のワイヤボンディングは不要となり、さらに実装工程は簡略化され、樹脂封止は容易となる。

【0019】また本発明の第2の半導体装置によれば、第1の半導体チップもフェードダウンでリードフレームに接続されているため、裏面側すなわち非素子形成面側が上になり、絶縁膜を介して回路パターンを形成する場合、回路設計が自由となる。特に、ボンディングパッドの位置は、熱と圧力がかかるため、素子形成領域を避けるなどの配慮が必要であるが、フェードダウンにすれば、これらの制約がなく極めて自由な回路設計が可能となる。また、第1の半導体チップ表面側から裏面側まで到達するように深い拡散層を形成する方法により、第1の半導体チップ表面側からリードフレームに接続するように形成することも可能である。この場合は、もし第2の半導体チップもフェードダウンでダイレクトボンディングにより第1の半導体チップ上に実装するようにすれば、ワイヤボンディングなしの接続を達成することが可能となる。

【0020】一方、この第2の半導体装置の構造において、第2の半導体チップは非素子形成面側が第1の半導体チップ側にくるように熱伝導性の良好な接着剤を介して接続するようにすれば、また第1の半導体チップおよび第2の半導体チップが裏面同志熱的に接触した状態で実装されているため、使用時に第1および第2の半導体チップの温度を同一温度に維持することができる。したがって、第1および第2の半導体チップが、温度特性が大きく変化するものである場合には、両者を同一温度に維持できるため、特性を揃えることができる。

【0021】

【実施例】以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

【0022】図1にこの半導体装置の断面図、図2に同上面説明図（樹脂封止前の状態）を示す。この半導体装置は、サポートバー10で支持せしめられたダイパッド1と、この周囲に、放射状をなすように外方に伸長する複数のインナーリード3を具備したリードフレーム2と、このダイパッド1の表面に搭載された、メモリチップとしての第1の半導体チップ4と、第1の半導体チップ4上に絶縁性のポリイミドフィルム6を介して接続され、この第1の半導体チップ4よりも小さいロジックチップとしての第2の半導体チップ7とを具備しており、第1の半導体チップ4は第1のボンディングワイヤ9cを介してインナーリード3に、第2の半導体チップ7は第1の半導体チップの周縁部に絶縁膜14を介して形成された回路パターン8にボンディングワイヤ9bを介してそれぞれ接続され、さらにこの回路パターン8の外側端部はボンディングワイヤ9cを介してインナーリード3に接続され、電気的接続を達成している。さらに封止樹脂11によって、樹脂封止がなされている。ここで第1の半導体チップ4は上に載置される第2の半導体チップ7よりも大きい、回路パターン8が第2の半導体チップ7の周縁まで伸長し、第2の半導体チップ7に、より近接するように形成されている。ここでインナーリード3は、アウターリード12に連設せしめられ、タイバー13によって一体的に支持せしめられている。また第1の半導体チップは表面全体を絶縁膜14で被覆されている。なおこの図2ではわかりやすくするために回路パターン8は省略し、図3に要部拡大説明図を示した。

【0023】次にこの半導体装置の製造方法について説明する。

【0024】まず、4-2アロイからなる条材等を出発材料とし、通常のプレス加工法によって形状加工を行った後、必要に応じてメッキ工程を経てリードフレームを形成する。

【0025】第1および第2の半導体チップは通常の方法で形成されるが、これらのうち第1の半導体チップは図3に説明図を示すように、表面全体をスクリーン印刷法により絶縁膜14で被覆するとともに周縁部に回路パターン8を形成しておく。

【0026】次いでこのリードフレームのダイパッド1の表面に、絶縁性ペースト5を介して第1の半導体チップ4を搭載する。

【0027】続いてこの第1の半導体チップ上に絶縁性ペースト6を介して第2の半導体チップ7を搭載する。

【0028】第1および第2のボンディングワイヤ9b、9cを介してボンディングを行った後、封止用の樹脂11で封止する。なお、この例では、この第2のボンディングワイヤ9cは回路パターン8の端縁または第1

の半導体チップのボンディングパッドBPと、インナーリード3との間を交互に接続している。

【0029】最後に、タイバー13を切除し、アウターリード12を成形して本発明の半導体装置が完成する。

【0030】この半導体装置によれば、第1の半導体チップ4の表面に絶縁膜14を介して形成された回路パターン8が、第2の半導体チップ7の近傍まで伸長しているため、第2の半導体チップ7に接続するボンディングワイヤ9bは短くなり、ボンディングワイヤの切断や、チップの破損を招くことがないため、樹脂封止が容易で、実装作業性が高いものとなる。また、リードフレームの片面側に半導体チップを積層しているため、樹脂封止が容易である。

【0031】また、半導体チップ搭載部をアルミナセラミックや銅などの放熱板で構成すれば、放熱性がさらに向上する。また、この放熱板の裏面を封止樹脂から露呈せしめ、放熱性を高めるようにすることも可能となる。

【0032】このように、本発明によれば、半導体装置の高集積化に対応して、リード幅、リード間隔共に微細化が進んでも、変形を生じることなく良好に保護せしめられる。そして、さらにボンディングワイヤを短くすることができ、短絡や接続不良を生じることもない。また、樹脂封止に際しても、樹脂の重みで変形したりすることなく信頼性の高い半導体装置を提供することが可能となる。

【0033】また、リードフレームの出発材料として4-2アロイを用いたが、銅材等他の材料を用いてもよく、また成型方法としてもプレス法に限定されることなくエッチング法等他の方法を用いても良いことはいうまでもない。

【0034】なお、前記実施例では第2の半導体チップは第1の半導体チップよりも小さく形成したが、同じ程度あるいは上側に位置する第2の半導体チップの方が下側に位置する第1の半導体チップよりも大きい場合には、第1の半導体チップ上に、回路パターン形成領域を残すようにずらして第2の半導体チップを載置し、同様に接続すればよい。

【0035】また、前記第1の実施例では第2の半導体チップはワイヤボンディングにより回路パターン8に接続したが、本発明の第2の実施例として図4に示すように、回路パターン8の先端が第2の半導体チップ7の周縁部の真下まで伸長するように形成し、第2の半導体チップ7は、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続するようにしてもよい。

【0036】さらにまた、図5に本発明の第3の実施例を示すように、第1の半導体チップ4も、インナーリード3の先端上に、素子形成面側表面が対向するようにダイレクトボンディングにより、直接接続するようにしてもよい。この場合、第1の半導体チップ4の裏面すなわ

7

ち非素子形成面側の周縁部に絶縁膜14を介して回路パターン8が形成され、この回路パターン8上に第2の半導体チップ7が絶縁ペースト6を介して固着され、ボンディングワイヤ9bを介して回路パターン8との接続が達成されている。また回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して達成される。

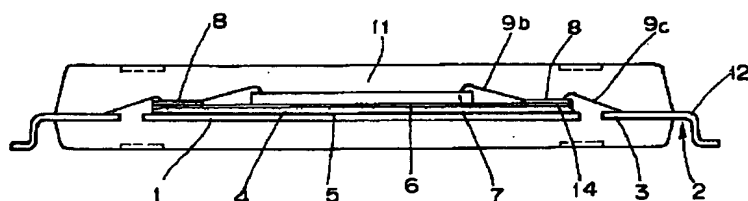
【0037】この構成では、第1および第2の半導体チップは裏面が熱的に接触するように実装することができるため、常に同一温度に維持することができ、第1および第2の半導体チップの熱特性が異なる場合には有効である。ここでは絶縁膜14は回路パターン形成領域にのみ形成し、第2の半導体チップが接触する領域は直接第1および第2の半導体チップが接触するようにしており、グランドラインに接続するとともに、良好な熱的接触を達成するようにしている。

【0038】また、図6に本発明の第4の実施例を示すように、第1の半導体チップ4をフェースダウンで接続するとともに、回路パターン8の先端を第2の半導体チップ7の周縁部の真下まで伸長するように形成し、第2の半導体チップを、素子形成面側表面が対向するようにフェースダウンでダイレクトボンディングにより、回路パターン8に直接接続するようにしてもよい。ここで回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して行っている。

【0039】また、図5に示した第3の実施例および図6に示した第4の実施例では、回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して行うようにしたが、回路パターン8側から第1の半導体チップ表面側に到達するような拡散層等を形成し、回路パターン8に接続するボンディングパッドを表面側に形成するようにすれば、ボンディングワイヤは不要となる。

【0040】なお、回路パターンの形成はスクリーン印刷により行う方法の他、薄膜法による形成あるいは、また、ポリイミドフィルム上に薄膜パターンを形成したものを挟み込む方法も適用可能である。

【図1】



8

【0041】また、前記実施例では、リードフレームを用いた実装について説明したが、ポリイミドフィルムなどの絶縁性フィルムに回路パターンを形成したいわゆるTAB基板を用いて実装するようにしてもよいことはいうまでもない。

【0042】さらに、ダイレクトボンディングを行う箇所には、リードフレーム側または回路パターン側あるいは、半導体チップ側にバンプを形成しておくのが望ましい。

10 【0043】

【発明の効果】以上説明してきたように、本発明によれば、多ピンで高速かつ実装が容易で信頼性の優れた積層型半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置の断面図

【図2】本発明実施例の半導体装置の上面説明図

【図3】同半導体装置の一部拡大説明図

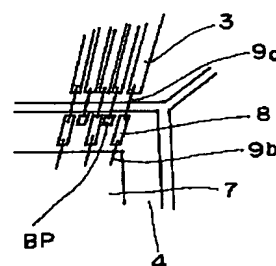
【図4】本発明の第2の実施例の半導体装置の断面図

20 【図5】本発明の第3の実施例の半導体装置の断面図

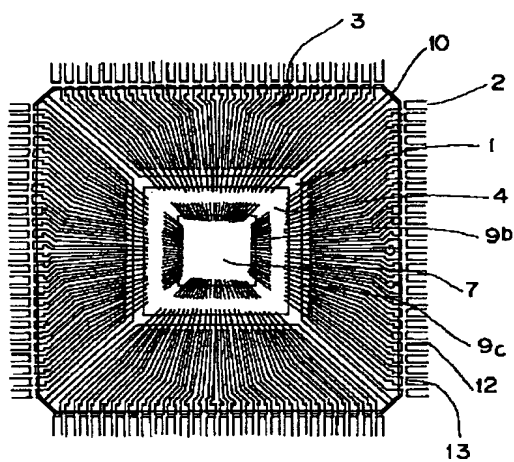
【符号の説明】

- 1 ダイパッド
- 2 リードフレーム
- 3 インナーリード
- 4 第1の半導体チップ
- 5 絶縁性接着剤
- 6 絶縁性接着剤
- 7 第2の半導体チップ
- 8 回路パターン
- 9b ボンディングワイヤ
- 9c ボンディングワイヤ
- 10 サポートバー
- 11 封止樹脂
- 12 アウタリード
- 13 タイバー
- 14 絶縁膜

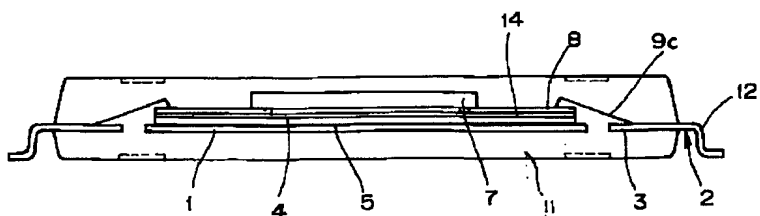
【図3】



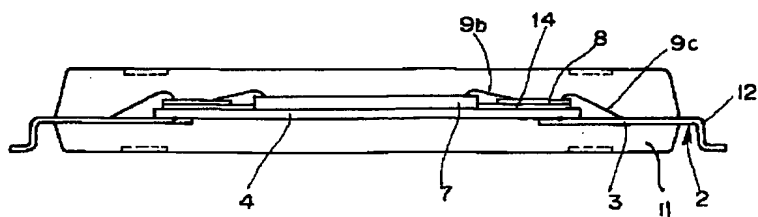
【図2】



【図4】



【図5】



【図6】

